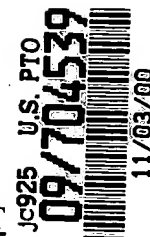


Docket No.: 44084-479

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Ken KITAMURA, et al.

Serial No.:

Group Art Unit:

Filed: November 03, 2000

Examiner:

For: PHOTOELECTRIC CONVERSION DEVICE AND SOLID-STATE IMAGE SENSING
DEVICE USING THE SAME

#3
10 Feb 01
R. Talbot

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

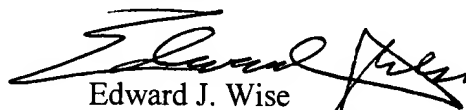
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 11-315194,
filed November 5, 1999

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Edward J. Wise
Registration No. 34,523

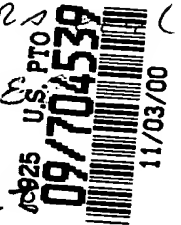
600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 EJW:klm
Date: November 3, 2000
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

McDermott, Will & Co.

44084-479
NOVEMBER 3, 2000
KITAMURA



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年11月 5日

出 願 番 号

Application Number:

平成11年特許願第315194号

出 願 人

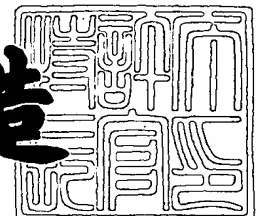
Applicant (s):

ミノルタ株式会社

2000年 9月22日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3077871

【書類名】 特許願

【整理番号】 P991105186

【提出日】 平成11年11月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/107

【発明の名称】 光電変換素子および固体撮像装置

【請求項の数】 9

【発明者】

 【住所又は居所】 大阪市中央区安土町二丁目 3 番 1 3 号 大阪国際ビル
 ミノルタ株式会社内

 【氏名】 北村 健

【発明者】

 【住所又は居所】 静岡県浜松市和合町 9 3 6 - 5 3 7

 【氏名】 畑中 義式

【特許出願人】

 【識別番号】 000006079

 【氏名又は名称】 ミノルタ株式会社

【代理人】

 【識別番号】 100085501

 【弁理士】

 【氏名又は名称】 佐野 静夫

【手数料の表示】

 【予納台帳番号】 024969

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9716119

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光電変換素子および固体撮像装置

【特許請求の範囲】

【請求項 1】 非晶質シリコンより成り、光を吸収して光励起によりキャリアを生成する機能と、生成したキャリアを増倍する機能とを併せもつキャリア生成増倍層と、

p 導電型の非晶質シリコンカーバイドより成り、前記キャリア生成増倍層への電子の注入を阻止する電子注入阻止層と、

n 導電型の非晶質シリコンナイトライドより成り、前記キャリア生成増倍層への正孔の注入を阻止する正孔注入阻止層とを備えることを特徴とする光電変換素子。

【請求項 2】 前記電子注入阻止層の組成比 C/Si が 1.5 以下であることを特徴とする請求項 1 に記載の光電変換素子。

【請求項 3】 前記正孔注入阻止層の組成比 N/Si が 0.8 以下であることを特徴とする請求項 1 に記載の光電変換素子。

【請求項 4】 少なくとも表面が多結晶シリコンまたは微結晶シリコンである基板の表面に形成されていることを特徴とする請求項 1 に記載の光電変換素子。

【請求項 5】 少なくとも表面が単結晶シリコンである基板の表面に形成されていることを特徴とする請求項 1 に記載の光電変換素子。

【請求項 6】 少なくとも表面が金属である基板の表面に形成されていることを特徴とする請求項 1 に記載の光電変換素子。

【請求項 7】 前記キャリア生成増倍層が微量のボロンを含む真性半導体であることを特徴とする請求項 1 に記載の光電変換素子。

【請求項 8】 前記キャリア生成増倍層と前記電子注入阻止層の間および前記キャリア生成増倍層と前記正孔注入阻止層の間の一方または両方に、層界面付近の電界を緩和する電界緩和層を備えることを特徴とする請求項 1 に記載の光電変換素子。

【請求項 9】 請求項 1 に記載の光電変換素子より成る複数の光電変換部と、
前記光電変換部で生成された電荷を個別に蓄積する複数の蓄積部と、
前記蓄積部に蓄積された電荷を出力する出力部と
を備えることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、非晶質シリコンを用いた光電変換素子およびこれを備えた固体撮像装置に関し、特に、光電流増倍機能を有する光電変換素子に関する。

【0002】

【従来の技術】

近年、非晶質シリコンを用いた光電変換素子が注目されている。非晶質シリコンは、現在の IC 技術の主流をなしている単結晶シリコンとの親和性に優れており、熱的にも安定である。また、低温での成膜、大面積の成膜、さらには多様な構造とすることが可能であるという特長を有する。この非晶質シリコンを用いたリーチスルー型のアバランシェ増倍フォトダイオード (APD) が、高感度の光電変換素子として提案されている。

【0003】

リーチスルー型の APD は、光を吸収して光励起によりキャリアを生成するキャリア生成層と、キャリア生成層で生成されたキャリアを高電界の印加によって増倍するキャリア増倍層とが別個になった構造をもつ。キャリア増倍層に複数のヘテロ接合部を設けることにより各接合部にバンドギャップの段差を生成し、これらのバンドギャップの段差によって、増倍を順次起こさせるステップバック構造も提案されている。

【0004】

【発明が解決しようとする課題】

ところが、リーチスルー型の構造では、キャリア生成層とキャリア増倍層が別々に存在しているため、多数の層から成る複雑な構造となり、層と層の間の界面が多くなる。界面には欠陥が生じ易く、当然ながら、界面の数が多いほど界面に

生じる欠陥も多くなる。非晶質材料を用いた光電変換素子においては、界面欠陥は暗電流の発生の原因となる。アバランシェ増倍現象を発現させるためには増倍層に非常に高い電界を印加する必要があるが、この高電界で界面欠陥により生じた界面準位を通じてキャリアが発生するからである。特に、バンドギャップの段差をキャリア増倍層に複数もつステップバック構造の素子では、界面の数が多くなって、界面欠陥に起因する暗電流の増大が著しくなる。このため、非晶質材料を用いたリーチスルー型のAPDは未だ実用化に至っていない。

【0005】

本発明は、このような問題点に鑑みてなされたもので、キャリア増倍機能を有しながら暗電流の少ない光電変換素子、および高感度でノイズの少ない固体撮像装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明では、非晶質シリコンより成り、光を吸収して光励起によりキャリアを生成する機能と、生成したキャリアを増倍する機能とを併せもつキャリア生成増倍層と、p導電型の非晶質シリコンカーバイドより成り、キャリア生成増倍層への電子の注入を阻止する電子注入阻止層と、n導電型の非晶質シリコンナイトライドより成り、キャリア生成増倍層への正孔の注入を阻止する正孔注入阻止層とで、光電変換素子を構成する。キャリア生成増倍層は、電子注入阻止層と正孔注入阻止層の間に設けられることになる。

【0007】

この光電変換素子は、リーチスルー型とは異なり、キャリアの生成と生成したキャリアの増倍を単一のキャリア生成増倍層によって行う。したがって、層の数が少なくなり、界面欠陥も少なくなって、暗電流が低減する。しかも、電子注入阻止層と正孔注入阻止層を備えて、外部からキャリア生成増倍層への電子および正孔の注入を阻止するようにしているため、例えば基板との界面付近の界面欠陥による界面準位を通じて生じたキャリアが電流として流れるのを阻止することができ、暗電流は一層低減する。

【0008】

ここで、電子注入阻止層すなわち p 導電型の非晶質シリコンカーバイド層の組成比 C/Si を 1.5 以下にするとよい。この組成比の範囲では、非晶質シリコンカーバイド層と非晶質シリコン層との界面におけるエネルギーレベルを、伝導帯側のみ不連続とし、価電子帯側については等しくすることができる。すなわち、キャリア生成増倍層への電子の注入を阻止しながら、キャリア生成増倍層からの正孔の流出を妨げないようにすることができる。したがって、暗電流を抑えながらも、一方のキャリアである正孔を取り出すことが可能である。

【0009】

また、正孔注入阻止層すなわち n 導電型の非晶質シリコンナイトライド層の組成比 N/Si を 0.8 以下にするとよい。この組成比の範囲では、非晶質シリコンナイトライド層と非晶質シリコン層との界面におけるエネルギーレベルを、価電子帯側のみ不連続とし、伝導帯側については等しくすることができる。すなわち、キャリア生成増倍層への正孔の注入を阻止しながら、キャリア生成増倍層からの電子の流出を妨げないようにすることができる。したがって、暗電流を抑えながらも、他方のキャリアである電子を取り出すことが可能である。

【0010】

上記の光電変換素子は、少なくとも表面が多結晶シリコンまたは微結晶シリコンである基板の表面に形成するとよい。また、少なくとも表面が単結晶シリコンである基板の表面に形成してもよい。電子注入阻止層である非晶質シリコンカーバイド層または正孔注入阻止層である非晶質シリコンナイトライド層を、熱膨張係数の近いシリコン系材料の上に形成することになり、熱膨張によるはがれを防止することができる。また、基板表面を平坦にして各層を一様な厚さに形成することが容易になり、キャリア生成増倍層の受光面全体に均一に電界を印加することができる。これにより、電界の局所的な集中が避けられ、キャリア生成増倍層のどの部位においても光電変換の効率が同じになる。

【0011】

上記の光電変換素子は、少なくとも表面が金属である基板の表面に形成することもできる。基板表面を平坦にして各層を一様な厚さに形成することがきわめて

容易になる。

【0012】

キャリア生成増倍層である非晶質シリコン層に微量のボロンを含ませて真性半導体とするとよい。非晶質シリコン層は、モノシランガスを用いるプラズマCVD法で容易に形成することができるが、このとき僅かにn導電型となることがある。その場合、高電界の印加の際に、p導電型である電子注入阻止層とキャリア生成増倍層の間に電界が集中して、キャリアの増倍効率が低下する。キャリア生成増倍層に微量のボロンを含ませて完全な真性半導体とすることにより、この不都合が避けられる。

【0013】

キャリア生成増倍層と電子注入阻止層の間およびキャリア生成増倍層と正孔注入阻止層の間の一方または両方に、層界面付近の電界を緩和する電界緩和層を備えるようにしてもよい。界面欠陥が存在する層界面付近の電界を緩和することで、暗電流の増大を招くことなくキャリア生成増倍層に高電界を印加することが可能になる。

【0014】

前記目的を達成するために、本発明ではまた、上記の光電変換素子より成る複数の光電変換部と、光電変換部で生成された電荷を個別に蓄積する複数の蓄積部と、蓄積部に蓄積された電荷を出力する出力部とで固体撮像装置を構成する。光電変換部のキャリア増倍機能により感度が高まり、また暗電流が少ないため、感度が高くしかもノイズの少ない撮像装置となる。

【0015】

【発明の実施の形態】

以下、本発明の光電変換素子および固体撮像装置についていくつかの実施形態を掲げて説明するが、各実施形態の説明に先立ち、本発明の光電変換素子の基本構成について説明する。図1に、光電変換素子の要部の断面を模式的に示す。光電変換素子は、非晶質シリコンより成る真性の半導体層11、非晶質シリコンカーバイドより成るp型の半導体層12、および非晶質シリコンナイトライドより成るn型の半導体層13の3層構造10を有している。以下、非晶質シリコンを

a-Si、非晶質シリコンカーバイドを a-SiC、非晶質シリコンナイトライドを a-SiN と略記する。

【0016】

真性の半導体層 11 は、光を吸収して光励起によりキャリアを生成するとともに、生成したキャリアを増倍するキャリア生成増倍層である。増倍は高電界の印加によるアバランシェ現象を利用したものであり、シリコンでは正孔のイオン化率より電子のイオン化率の方が大きいため、イオン化を生じるのは生成した電子と正孔のうち、主として電子である。p 型の半導体層 12 は、キャリア生成増倍層 11 への電子の注入を阻止する電子注入阻止層である。また、n 型の半導体層 13 は、キャリア生成増倍層 11 への正孔の注入を阻止する正孔注入阻止層である。

【0017】

キャリア生成増倍層 11 は電子注入阻止層 12 と正孔注入阻止層 13 とに挟まれて、一方の面で電子注入阻止層 12 に接し、他方の面で正孔注入阻止層 13 に接している。n 型の正孔注入阻止層 13 を正、p 型の電子注入阻止層 12 を負として、逆バイアスに高電界が印加される。

【0018】

非晶質シリコンは、モノシランを原料ガスとして用いるプラズマ CVD 法により成膜することができる。非晶質シリコンカーバイドは、モノシランとメタンまたはエチレンとを原料ガスとして用いるプラズマ CVD 法で、また、非晶質シリコンナイトライドは、モノシランとアンモニアとを原料ガスとして用いるプラズマ CVD 法で、成膜することができる。原料ガスの組成比や流量比等の成膜条件を変えることで、形成される非晶質シリコンカーバイド層や非晶質シリコンナイトライド層の組成比が変わり、これにより各層のバンドギャップを制御することが可能である。

【0019】

図 2 に非晶質シリコンナイトライドの組成比 N/Si とバンドギャップの関係を示す。組成比 N/Si を非晶質シリコンに対応する 0 から大きくしていくと、組成比 N/Si が 0.8 になるまで、バンドギャップは価電子帯のエネルギーレ

ベルの低下によって増大する。この組成比の範囲では、伝導帯のエネルギーレベルはほとんど変化しない。組成比 N/Si が 0.8 を超えると、価電子帯のエネルギーレベルの低下に大きな変化はないが、伝導帯のエネルギーレベルが急激に上昇する。組成比 N/Si が 0.0、0.8 および 1.3 のとき、バンドギャップはそれぞれ約 1.7、2.8 および 5.0 eV である。

【0020】

図示しないが、非晶質シリコンカーバイドの組成比とバンドギャップの関係は、非晶質シリコンナイトライドにおける関係と逆の傾向を示す。すなわち、組成比 C/Si を非晶質シリコンに対応する 0 から大きくしていくと、伝導帯のエネルギーレベルが上昇することにより、バンドギャップは直線的に増大する。組成比 C/Si が 1.5 までの範囲では、価電子帯のエネルギーレベルはほとんど変化しない。組成比 C/Si が 1.5 を超えると、伝導帯のエネルギーレベルの上昇に大きな変化はないが、価電子帯のエネルギーレベルが低下し始める。組成比 C/Si が 1.5 のとき、バンドギャップは約 2.6 eV である。

【0021】

本発明では、組成比とバンドギャップのこのような関係に基づき、非晶質シリコンカーバイドより成る電子注入阻止層 12 の C/Si の組成比を 1.5 以下とし、非晶質シリコンナイトライドより成る正孔注入阻止層 13 の N/Si の組成比を 0.8 以下としている。

【0022】

電界を印加しないときの 3 層構造 10 のバンドギャップを図 3 に模式的に示す。i-a-Si であるキャリア生成増倍層 11 と p-a-SiC である電子注入阻止層 12 のバンドギャップには、伝導帯側のみにエネルギー段差 ΔE_c があり、価電子帯側にはエネルギー段差がない。i-a-Si であるキャリア生成増倍層 11 と n-a-SiN である正孔注入阻止層 13 のバンドギャップには、逆に、価電子帯側のみにエネルギー段差 ΔE_v があり、伝導帯側にはエネルギー段差がない。

【0023】

高電界を印加したときの 3 層構造 10 のバンドギャップと、キャリアの生成お

よび増倍の様子を図4に模式的に示す。光による励起でキャリア生成増倍層11に電子正孔対が発生し、電子eはエネルギー傾斜により加速され、格子原子との衝突でイオン化を起こす現象を次々と繰り返すことにより大きく増倍されつつ、正孔注入阻止層13に向かって進む。一方、正孔hは、シリコン中では電子に比べイオン化率が小さいため、あまりイオン化を生じさせることなく、電子注入阻止層12に向かって進む。

【0024】

正孔注入阻止層13に達した電子eは、伝導帯側にエネルギー段差がないためエネルギー段差にトラップされることがなく、走行性を妨げられずに正孔注入阻止層13を通過する。電子注入阻止層12に達した正孔hも、価電子帯側にエネルギー段差がないため、走行性を妨げられることなく電子注入阻止層12を通過する。したがって、キャリア生成増倍層11で生成され増倍されたキャリアは、速やかにかつ損失なく外部に取り出されることになり、この3層構造10の応答性および光電変換効率が高い。

【0025】

一方、この3層構造10の外部からのキャリアのうち、電子は伝導帯側のエネルギー段差でキャリア生成増倍層11への注入を阻止され、正孔は価電子帯側のエネルギー段差でキャリア生成増倍層11への注入を阻止される。したがって、外部からのキャリアがキャリア生成増倍層11を通ることはなく、増倍されることもない。結局、光電変換素子を流れる電流は、キャリア生成増倍層11で生成したキャリアによるもののみになる。

【0026】

また、キャリア生成増倍層11は欠陥の少ない良質のアモルファスシリコン単層から成るため、高電界を印加されても、光による励起以外でキャリア生成増倍層11に多くのキャリアが発生することはない。したがって、3層構造10を流れる暗電流は少ない。

【0027】

第1の実施形態の光電変換素子1の断面を図5に模式的に示す。光電変換素子1は、3層構造10を単結晶シリコンより成る基板21上に形成したものである

。シリコン基板 2 1 は n 型であり、n - a - S i N の正孔注入阻止層 1 3 がシリコン基板 2 1 に接している。p - a - S i C の電子注入阻止層 1 2 上には、金 (A u) 製の透明電極 2 2 が設けられている。

【 0 0 2 8 】

光電変換素子 1 の作製方法の具体例を以下に示す。まず、n 型のシリコン基板 2 1 を容量結合平行平板型のプラズマ C V D 装置の堆積チャンバーに入れ、ヒータにより加熱して基板 2 1 の温度を 2 5 0 ℃とする。そして、堆積チャンバーを十分に真空にし、水素により 1 0 % に希釈したシランガスを流量 5 0 s c c m で、水素により 1 0 % に希釈したアンモニアガスを流量 1 5 s c c m で、水素により 1 0 0 0 p p m に希釈したホスフィンガスを流量 5 0 s c c m で、堆積チャンバーに導入する。堆積チャンバー内の圧力が 3 0 P a に十分安定した後、1 3 . 5 6 M H z の高周波電力 5 0 W を平行平板型の電極に印加することにより放電を起こして、非晶質シリコンナイトライドの成膜を行い、膜厚が 5 0 n m となる時間が経過した時点で放電を止める。これにより、n - a - S i N の正孔注入阻止層 1 3 が形成される。

【 0 0 2 9 】

正孔注入阻止層 1 3 の形成後、原料ガスを排気して堆積チャンバーを十分に真空にし、あらかじめ十分に真空にしておいたロードロックチャンバーを経由して、大気開放することなく、基板 2 1 を別の堆積チャンバーに移す。そして、水素により 1 0 % に希釈したシランガスを流量 5 0 s c c m で堆積チャンバーに導入する。堆積チャンバー内の圧力が 3 0 P a に十分安定した後、高周波電力 2 0 W で放電を起こして、非晶質シリコンの成膜を行い、膜厚が 1 μ m となる時間が経過した時点で放電を止める。これにより、i - a - S i のキャリア生成増倍層 1 1 が形成される。

【 0 0 3 0 】

キャリア生成増倍層 1 1 の形成後、原料ガスを排気して堆積チャンバーを十分に真空にし、あらかじめ十分に真空にしておいたロードロックチャンバーを経由して、大気開放することなく、基板 2 1 をさらに別の堆積チャンバーに移す。そして、水素により 1 0 % に希釈したシランガスを流量 5 0 s c c m で、水素に

より20%に希釈したエチレンガスを流量50 s c c mで、水素により500 p p mに希釈したジボランガスを流量50 s c c mで、堆積チャンバーに導入する。堆積チャンバー内の圧力が30 P aに十分安定した後、高周波電力40 Wで放電を起こして、非晶質シリコンカーバイドの成膜を行い、膜厚が50 n mとなる時間が経過した時点で放電を止める。これにより、p-a-SiCの電子注入阻止層12が形成される。

【0031】

電子注入阻止層12の形成後、基板21を蒸着装置に移し、電子注入阻止層12上に膜厚10~30 n mのAu膜を蒸着して透明電極22を形成する。なお、透明電極を金製とすることに代えて、スパッタ法あるいはEB蒸着法によりITO膜を設けて、これを透明電極としてもよい。

【0032】

正孔注入阻止層13、キャリア生成増倍層11、および電子注入阻止層12のバンドギャップを各工程の終了後に光学的に測定したところ、それぞれ、約2.0 e V、1.7 e V、および2.4 e Vであった。

【0033】

上記方法で作製した光電変換素子1の室温における特性を図6に示す。この特性は、電界強度を変化させながら素子を流れる電流を測定することによって得たものである。光電流の測定においては、594 n mにピーク波長を有するLEDを光源として用い、光源からの光を照射光学系で断面内の強度分布が均一な光束として素子に照射した。

【0034】

図6に示したように、電界強度が1 MV / c mを超えると光電流が急激に立ち上がり、さらに電界強度を上昇させることにより、増倍率は約10倍に達する。この電界強度での暗電流は40 n A以下であり、光電変換素子1は低暗電流特性に優れた特徴を有するといえる。

【0035】

第2の実施形態の光電変換素子2の断面を図7に模式的に示す。光電変換素子2は、基板23としてp型の単結晶シリコンを用い、p-a-SiCの電子注入

阻止層 1 2 がシリコン基板 2 3 に接するようにしたものである。n - a - Si N の正孔注入阻止層 1 3 上には、ITO製の透明電極 2 4 が設けられている。

【0 0 3 6】

光電変換素子 2 は、電子注入阻止層 1 2、キャリア生成増倍層 1 1、正孔注入阻止層 1 3、透明電極 2 4 をこの順に形成することにより作製する。層形成の順序が異なるだけで、各工程における処理は光電変換素子 1 の作製例で説明したものと同様であり、重複する説明は省略する。

【0 0 3 7】

本実施形態の光電変換素子 2 は、堆積チャンバーが 1 つしかないシングルチャンバーのプラズマ C V D 装置での作製も容易である。n - a - Si N である正孔注入阻止層 1 3 を最後に形成するため、その成膜の際に使用するアンモニアガスおよびホスフィンガスの堆積チャンバーへの残留による他の層の膜質の低下が避けられるからである。

【0 0 3 8】

第 3 の実施形態の固体撮像装置 3 の断面を図 8 に模式的に示す。固体撮像装置 3 は C C D 型であり、積層型の構造の上に光電変換部として 3 層構造 1 0 を設けたものである。図 8 は、固体撮像装置 3 の 1 画素を含む範囲を表している。

【0 0 3 9】

固体撮像装置 3 の作製方法の具体例を以下に示す。まず、p 型のシリコン基板 3 1 に p + 型の素子分離領域 3 2 を設け、この p + 型の素子分離領域 3 2 で囲まれた領域内に、n + 型の不純物領域から成る蓄積ダイオード 3 3 を形成する。また、蓄積ダイオード 3 3 の近傍に、n - 型の垂直 C C D のチャネル領域 3 4 を設ける。次いで、基板 3 1 の上面全体に、シリコン酸化膜で第 1 の絶縁膜 3 5 を形成する。絶縁膜 3 5 の形成の途中、絶縁膜 3 5 で周囲から絶縁されるように、チャネル領域 3 4 の上部に、転送ゲート電極 3 6、3 7 を多結晶シリコンによって形成する。そして、フォトリソグラフィにより絶縁膜 3 5 にコンタクト孔 3 8 を形成して、蓄積ダイオード 3 3 を露出させる。

【0 0 4 0】

次いで、コンタクト孔 3 8 に露出した蓄積ダイオード 3 3 から転送ゲート電極

36、37の上方に達するようにアルミニウム薄膜を設けて、引き出し電極39を形成する。さらに、引き出し電極39と絶縁膜35の上に、表面の平坦化を兼ねて、第2の絶縁膜40を設ける。このとき、引き出し電極39の上面の一部が露出するように、絶縁膜40の膜厚を制御する。その後、スパッタリング法により絶縁膜40上に膜厚100nmのチタン層41を形成し、これをフォトリソグラフィによりパターンニングして、画素ごとの下部電極とする。

【0041】

このような構造の上に3層構造10を設け、さらにその上にITO製の透明電極42を設けて、固体撮像装置3とする。3層構造10の配置は第1の実施形態の光電変換素子1と同じであり、 $n-a-SiN$ の正孔注入阻止層13が、下部電極41と絶縁膜40に接している。なお、3層構造10や透明電極42の作製は第1の実施形態で説明した方法で行えばよい。

【0042】

第4の実施形態の固体撮像装置4の断面を図9に模式的に示す。固体撮像装置4はMOS型であり、nMOSデバイスを形成した半導体基板の上に、光電変換部として3層構造10を設けたものである。図9は、固体撮像装置4の1画素分の範囲を表している。

【0043】

固体撮像装置4の作製方法の具体例を以下に示す。まず、p型のシリコン基板51に酸化膜または窒化膜を形成してパターンニングを行い、それをマスクにしてチャネルストッパおよびフィールド酸化膜を形成する。続いて、活性領域の酸化膜または窒化膜を除去し、熱酸化法によりゲート酸化膜52を形成した後、イオン注入法によってチャネルドープを行う。

【0044】

次いで、CVD法によってポリシリコン膜を堆積し、抵抗を下げるためにリンを拡散した後、パターンニングを行ってポリシリコンゲート電極53を形成する。そして、イオン注入法を用いてヒ素を打ち込むことにより、ソース領域54およびドレイン領域55を形成する。このとき、ポリシリコンゲート電極53がマスクとなり、ゲートとソースおよびドレインとの重なりが非常に小さくなる。

【0045】

続いて、層間絶縁膜として第1のシリコン酸化膜56をCVD法により堆積し、これをパターニングしてドレイン領域55上にコンタクト孔を形成し、配線用電極57を設ける。その後、層間絶縁膜として第2のシリコン酸化膜58を堆積し、これにレジストを塗布する。そして、RIE法により、レジストとシリコン酸化膜58のエッチングレートが等しくなる条件で、エッチングを行い、シリコン酸化膜58の表面を平坦にする。

【0046】

さらに、ソース領域54上のシリコン酸化膜56、58をエッチングしてコンタクト孔を形成し、ここに埋め込み層59を形成する。埋め込み層59は、CVD法を用いて低抵抗のn型の微結晶シリコンを堆積することにより形成する。この堆積条件においては、単結晶であるソース領域54上には微結晶シリコンが成長し、シリコン酸化膜58上には非晶質シリコンが成長する。そこで、層間絶縁膜となるシリコン酸化膜58の表面よりも埋め込み層の表面が高くなるまで堆積を続けて、その後にエッチバック法によって、シリコン酸化膜58の非晶質シリコンをエッチングする。これにより、シリコン酸化膜56、58に形成されたコンタクト孔は微結晶シリコンで埋まり、その表面はシリコン酸化膜58の表面と同じ高さになる。

【0047】

こうして表面を平坦にした半導体基板の上に3層構造10を設け、さらにその上にITO製の透明電極60を設けて、固体撮像装置4とする。3層構造10の配置は第1の実施形態の光電変換素子1と同じであり、n-a-SiNの正孔注入阻止層13が、埋め込み層59とシリコン酸化膜58に接している。3層構造10や透明電極60の作製は第1の実施形態で説明した方法で行えばよい。

【0048】

第5の実施形態の固体撮像装置5の構成を図10に模式的に示す。図10において、(a)は4つの画素を含む範囲を表した平面図、(b)は(a)の直線Y-Y'での断面図、(c)は(a)の直線X-X'での断面図である。固体撮像装置5は、表面が平坦な半導体基板の上に光電変換部として3層構造10を設け

るとともに、画素を区分けする下部電極を省略したものである。

【0049】

固体撮像装置5の作製方法の具体例を以下に示す。まず、n型のシリコン基板61に、イオン注入法または熱拡散法によって、p型のウェル領域62を形成し、ウェル領域62の内部に、イオン注入法または熱拡散法によって、n型の不純物拡散層63を形成する。そして、基板61の表面全体にシリコン酸化膜を設けて絶縁膜64とし、不純物拡散層63の端部に相当する絶縁膜64の部分除去して、コンタクト孔を形成する。

【0050】

次いで、スパッタ法によりアルミニウムで電極65を形成し、パターニングおよびシンタリングを行った後、電極65上にシリコン酸化膜を設けて絶縁膜66とする。そして、不純物拡散層63の大部分とウェル領域62に相当する絶縁膜64の部分除去してコンタクト孔を形成する。

【0051】

このコンタクト孔の上に3層構造10を設け、さらにその上にITO製の透明電極67を設けて、固体撮像装置5とする。3層構造10の配置は第1の実施形態の光電変換素子1と同じであり、n-a-SiNの正孔注入阻止層13が、不純物拡散層63およびウェル領域62に接している。3層構造10や透明電極67の作製は第1の実施形態で説明した方法で行えばよい。

【0052】

透明電極67から入射した光は、i-a-Siのキャリア生成増倍層11で吸収され、電子正孔対を生成する。電界は電極65を正、透明電極67を負として印加されており、正孔は透明電極67に向けて、電子はn型の不純物拡散層63に向けて移動する。電子は不純物拡散層63および電極65を経て取り出される。図示しないが、電極65にはCCDアナログレジスタ、対数変換回路等の検出回路が接続されており、取り出された電子は光電流として検出される。

【0053】

固体撮像装置5においては、不純物拡散層63によって画素の分離が行われるため、従来のように下部電極を設ける必要がない。また、n-a-SiNの正孔

注入阻止層 13 が n 型の不純物拡散層 63 と p 型のウェル領域 62 の双方に直接接触するように、不純物拡散層 63 はウェル領域 62 の内部に形成されており、しかも、それらの表面は平坦である。このため、光電変換層の下地が平坦でないことにより電界が不均一になって、感度にばらつきが生じるという、従来の積層型の固体撮像装置で見られた不都合はない。

【0054】

固体撮像装置 5 では画素は不純物拡散層 63 によって規定されるが、図 10 (c) に示すように、3 層構造 10 は複数の画素にまたがっている。しかしながら、 $i-a-Si$ のキャリア生成増倍層 11 が高い抵抗をもち、しかも、3 層構造 10 の最下部の正孔注入阻止層 13 の厚さ t に比べて、画素間の距離 d が長いので、キャリア生成増倍層 11 で生成され増倍された電子は、横方向に拡散することなく、正孔注入阻止層 13 を経て不純物拡散層 63 に達する。したがって、画素間のクロストークはほとんどない。具体的には、正孔注入阻止層 13 の厚さ t は $1 \sim 3 \mu m$ 程度、画素間距離 d は $10 \sim 20 \mu m$ 程度である。

【0055】

第 6 の実施形態の固体撮像装置 6 の断面を図 11 に模式的に示す。固体撮像装置 6 は、上記の固体撮像装置 5 を修飾して、画素を規定する不純物拡散層 63 間のウェル領域 62 の上にも絶縁膜 64 を残したものである。正孔注入阻止層 13 は不純物拡散層 63 のみに接しており、正孔注入阻止層 13 と不純物拡散層 63 の接触面積も固体撮像装置 5 に比べてやや小さくなっている。これにより、画素間のクロストークがさらに減少する。

【0056】

第 7 の実施形態の固体撮像装置 7 の構成を図 12 に模式的に示す。図 12 において、(a) は 4 つの画素を含む範囲を表した平面図、(b) は (a) の直線 Y-Y' での断面図、(c) は (a) の直線 X-X' での断面図である。固体撮像装置 7 は第 5 の実施形態の固体撮像装置 5 の各部の導電型を逆転したものである。

【0057】

71 は p 型のシリコン基板、72 は n 型のウェル領域、73 は p 型の不純物拡

散層、74、76は絶縁膜、75はアルミニウムの電極、77はITOの透明電極である。3層構造10は、p-a-SiCの電子注入阻止層12がp型の不純物拡散層73およびn型のウェル領域72に接するように、固体撮像装置5とは逆の順序で設けられている。固体撮像装置7では、電極75を負、透明電極77を正として電界が印加されるとになる。

【0058】

第8の実施形態の固体撮像装置8の断面を図13に模式的に示す。固体撮像装置8は、固体撮像装置5を修飾した第6の実施形態の固体撮像装置6と同様に、上記の固体撮像装置7を修飾したものである。すなわち、ウェル領域72の上に絶縁膜74を残して、電子注入阻止層12が不純物拡散層73のみに接する構成としたものである。

【0059】

第9の実施形態の光電変換素子9の断面を図14に模式的に示す。本実施形態の光電変換素子9は、キャリア生成増倍層11、電子注入阻止層12、正孔注入阻止層13の間に、界面付近の電界を緩和するための電界緩和層を設けたものである。i-a-Siのキャリア生成増倍層11とp-a-SiCの電子注入阻止層12の間には、p型の非晶質シリコンより成る電界緩和層14が設けられており、i-a-Siのキャリア生成増倍層11とn-a-SiNの正孔注入阻止層13の間には、n型の非晶質シリコンより成る電界緩和層15が設けられている。したがって、光電変換素子9は5層構造10'を有することになる。

【0060】

2つの電界緩和層14、15が加わったことを除き、光電変換素子9は第1の実施形態の光電変換素子1と同様の構成である。すなわち、n型の単結晶シリコン基板91上に正孔注入阻止層13が形成されており、電子注入阻止層12上に透明電極92が設けられている。透明電極92はITO製である。

【0061】

光電変換素子9の作製方法の具体例を以下に示す。まず、第1の実施形態で説明した方法で、基板91上に正孔注入阻止層13を形成する。正孔注入阻止層13の形成後、水素により10%に希釈したシランガスを流量50sccmで、水

素により 1000 ppm に希釈したホスフィンガスを流量 5 sccm で、堆積チャンバーに導入し、堆積チャンバー内の圧力が 30 Pa に十分安定した後、高周波電力 20 W で放電を起こして、電界緩和層 15 となる n 型の非晶質シリコンの成膜を行う。

【0062】

膜厚が 50 nm となる時間が経過した時点でホスフィンガスの導入を止め、シランガスの導入と放電を継続しながら、水素により 1000 ppm に希釈したジボランガスを流量 0.1 sccm で堆積チャンバーに導入する。これにより、キャリア生成増倍層 11 となる真性の非晶質シリコンの成膜を行う。

【0063】

膜厚が 1 μ m となる時間が経過した時点で、放電を継続したまま、ジボランガスの流量を 5 sccm に上げて、電界緩和層 14 となる p 型の非晶質シリコンの成膜を行う。そして、膜厚が 50 nm となる時間が経過した時点で放電を止める。

【0064】

その後、第 1 の実施形態で説明した方法で、電子注入阻止層 12 を形成し、その上に ITO の透明電極 92 を形成する。

【0065】

光電変換素子 9 では、電界緩和層 14、15 を設けたことにより、キャリア生成増倍層 11 と電子注入阻止層 12 あるいは正孔注入阻止層 13 との界面付近の電界を緩和することができ、これら欠陥の多い部分の電界を緩和することで、暗電流の増大を招くことなくキャリア生成増倍層 11 に高電界を印加することが可能になる。しかも、電界緩和層 15、キャリア生成増倍層 11、および電界緩和層 14 の成膜を、放電を継続したまま連続して行うため、キャリア生成増倍層 11 と電界緩和層 14、15 との間に明確な界面が生じることが避けられ、界面欠陥の生成も抑制される。したがって、層数の増加による暗電流の増大もない。

【0066】

一般に、モノシランガスのみを用いて成膜した非晶質シリコンは、僅かながら n 導電型となる傾向があることが知られている。キャリア生成増倍層 11 が弱い

n型になると、p型である電界緩和層 1 4 との間に電界が集中し易い。キャリア生成増倍層 1 1 の成膜の際にジボランガスを加えるのは、堆積するシリコンに微量のボランを含ませて、生成する非晶質シリコンを真性の半導体とし、電界の集中を避けるためである。

【0067】

特に、光電変換素子 9 では、n型の電界緩和層 1 5 も設けるようにし、しかも、電界緩和層 1 5 の成膜とキャリア生成増倍層 1 1 の成膜を連続して行うため、残留したホスフィンによりキャリア生成増倍層 1 1 がn型になり易くなる。キャリア生成増倍層 1 1 の原料ガスにジボランガスを添加することで、電界緩和層 1 5 とキャリア生成増倍層 1 1 の連続成膜が可能になる。

【0068】

なお、原料ガス中のジボランガスとシランガスの量の比は、 $B_2H_6/SiH_4 = 10^{-5} \sim 10^{-4}$ 程度が適当である。キャリア生成増倍層 1 1 の成膜に際し、原料ガスにジボランガスを加えることは、第 1 の実施形態の光電変換素子 1 のように、電界緩和層 1 4、1 5 を設けない構成においても適用可能であり、特に、シングルチャンバーのCVD装置で、n型の層を形成した後に真性の層を形成する場合に、有用である。

【0069】

本実施形態では、キャリア生成増倍層 1 1 と電子注入阻止層 1 2 の間およびキャリア生成増倍層 1 1 と正孔注入阻止層 1 3 の間の双方に電界緩和層を設けたが、一方を省略して、電界緩和層 1 4 のみ、または電界緩和層 1 5 のみを備える構成としてもよい。また、シリコン基板 9 1 をp型として、5層構造 1 0' を逆の順序で設けるようにしてもよい。

【0070】

以上、本発明の光電変換素子および固体撮像装置について、いくつかの例を掲げて説明したが、本発明は例示した構成に限られるものではない。例えば、電子注入阻止層とキャリア生成増倍層の価電子帯のエネルギーレベルを同じにし、正孔注入阻止層とキャリア生成増倍層の伝導帯のエネルギーレベルを同じにすることは、アバランシェ現象以外の機構でキャリアを増倍させる構成においても有用

である。また、本発明の光電変換素子は、CCD型、nMOS型以外の固体撮像装置、例えば、SIT、バイポーラトランジスタ等のデバイスを備えた装置にも適用可能である。

【0071】

【発明の効果】

本発明の光電変換素子は、キャリアの生成と生成したキャリアの増倍を単一の層によって行うため、層の数、したがって、層間の界面の数が少ない。このため、界面欠陥も少なくなつて暗電流が抑えられ、高感度でありながらノイズの少ない素子となる。しかも、キャリア生成増倍層への電子および正孔の注入を阻止するようにしているため、外部からのキャリアが電流として流れることも、キャリア生成増倍層で増倍されることもなく、暗電流がさらに低減して、ノイズが一層少なくなる。

【0072】

電子注入阻止層の組成比C/Siを1.5以下にした構成では、キャリア生成増倍層への電子の注入のみを阻止し、キャリア生成増倍層からの正孔の流出を妨げないようにすることができる。したがって、暗電流を抑えながらも、素子全体としての光電変換効率が低下することがない。

【0073】

正孔注入阻止層の組成比N/Siを0.8以下にした構成では、キャリア生成増倍層への正孔の注入のみを阻止し、キャリア生成増倍層からの電子の流出を妨げないようにすることができる。このため、暗電流を抑えながらも、増倍機能を確実に発揮し得る素子となる。

【0074】

表面が多結晶シリコンまたは微結晶シリコンである基板や、表面が単結晶シリコンである基板の表面に形成した構成では、基板とこれに接する層の熱膨張係数が略等しくなり、熱による基板からの剥離が防止されて、安定で長寿命の素子となる。また、基板表面を平坦にすることができ、これにより各層を一様な厚さに形成することが容易になって、キャリア生成増倍層の受光面全体に均一に電界を印加することができる。その結果、キャリア生成増倍層のどの部位においても光

電変換の効率が同じになり、受光面を大きくする場合でも、感度の安定した素子となる。

【0075】

表面が金属である基板の表面に形成した構成でも、基板表面を平坦にして各層を一樣な厚さに形成することが容易である。しかも、基板自体が簡素な構成となつて、素子の製造効率が高まる。

【0076】

キャリア生成増倍層に微量のボロンを含ませて真性半導体とした構成では、電子注入阻止層とキャリア生成増倍層の間に電界が集中するのを確実に避けることができ、増倍効率の高い素子となる。

【0077】

キャリア生成増倍層と電子注入阻止層の間およびキャリア生成増倍層と正孔注入阻止層の間の一方または両方に、層界面付近の電界を緩和する電界緩和層を備えた構成では、界面欠陥が存在する部位の電界を緩和することができ、暗電流の増大を招くことなくキャリア生成増倍層に高電界を印加することが可能になる。

【0078】

本発明の固体撮像装置は、キャリア増倍機能を有し、しかも暗電流が少ないという光電変換素子の特長が生かされて、感度が高くノイズの少ない撮像装置となる。

【図面の簡単な説明】

【図1】 本発明の光電変換素子の要部の断面図。

【図2】 非晶質シリコンナイトライドの組成比 N/Si とバンドギャップの関係を示す図。

【図3】 電界を印加しないときの図1の構成のバンドギャップを示す図。

【図4】 高電界を印加したときの図1の構成のバンドギャップと、キャリアの生成および増倍の様子を示す図。

【図5】 第1の実施形態の光電変換素子の断面図。

【図6】 第1の実施形態の光電変換素子の印加電界と電流の関係を示す特性図。

【図 7】 第 2 の実施形態の光電変換素子の断面図。

【図 8】 第 3 の実施形態の固体撮像装置の断面図。

【図 9】 第 4 の実施形態の固体撮像装置の断面図。

【図 1 0】 第 5 の実施形態の固体撮像装置の構成を示す図。

【図 1 1】 第 6 の実施形態の固体撮像装置の断面図。

【図 1 2】 第 7 の実施形態の固体撮像装置の構成を示す図。

【図 1 3】 第 8 の実施形態の固体撮像装置の断面図。

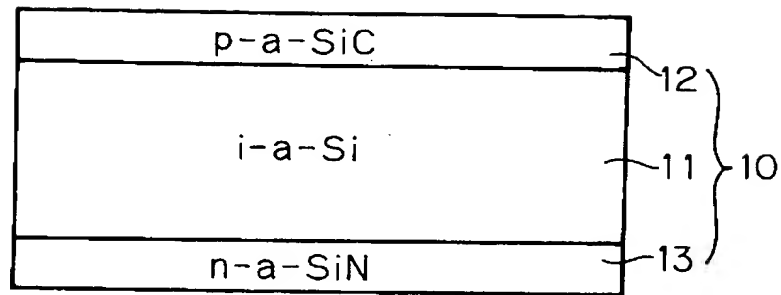
【図 1 4】 第 9 の実施形態の光電変換素子の断面図。

【符号の説明】

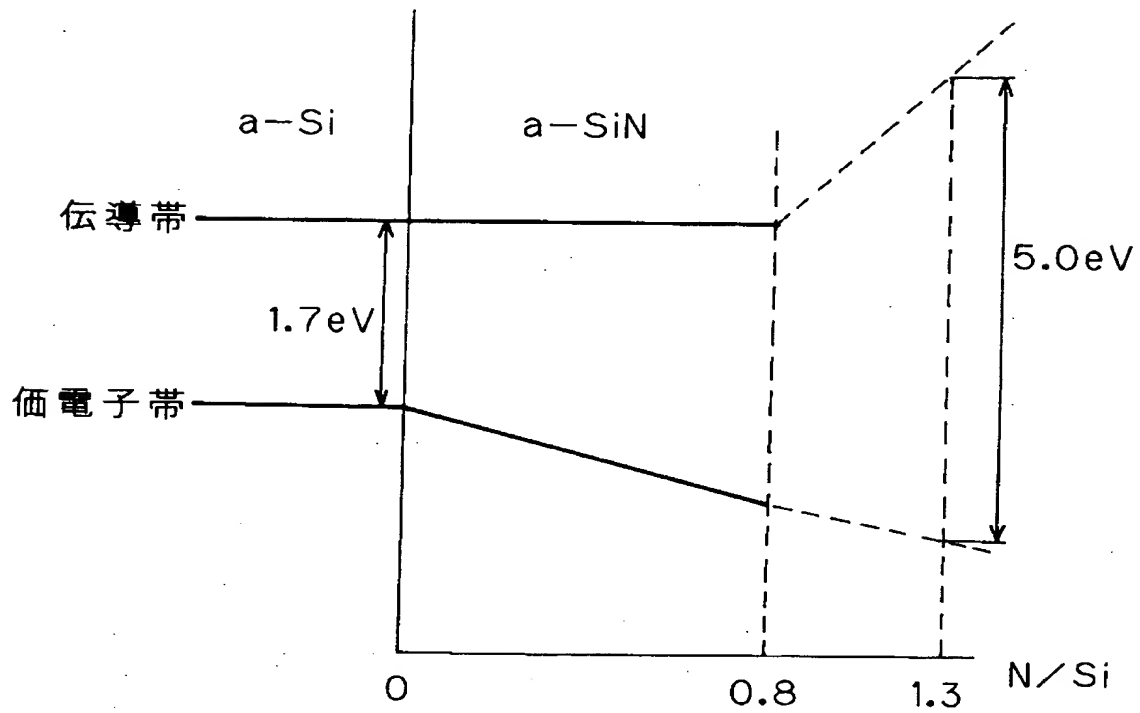
1、2、9	光電変換素子
3、4、5、6、7、8	固体撮像装置
1 1	キャリア生成増倍層
1 2	電子注入阻止層
1 3	正孔注入阻止層
1 4、1 5	電界緩和層
2 1、2 3、9 1	基板
2 2、2 4、9 2	透明電極

【書類名】 図面

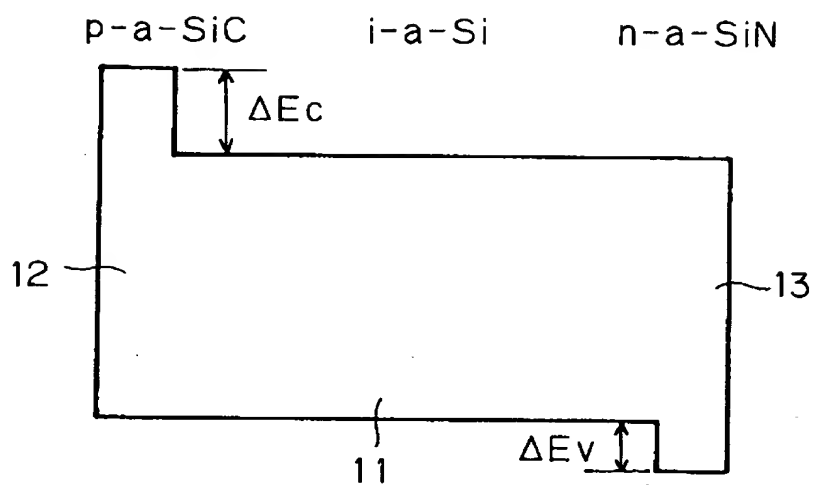
【図 1】



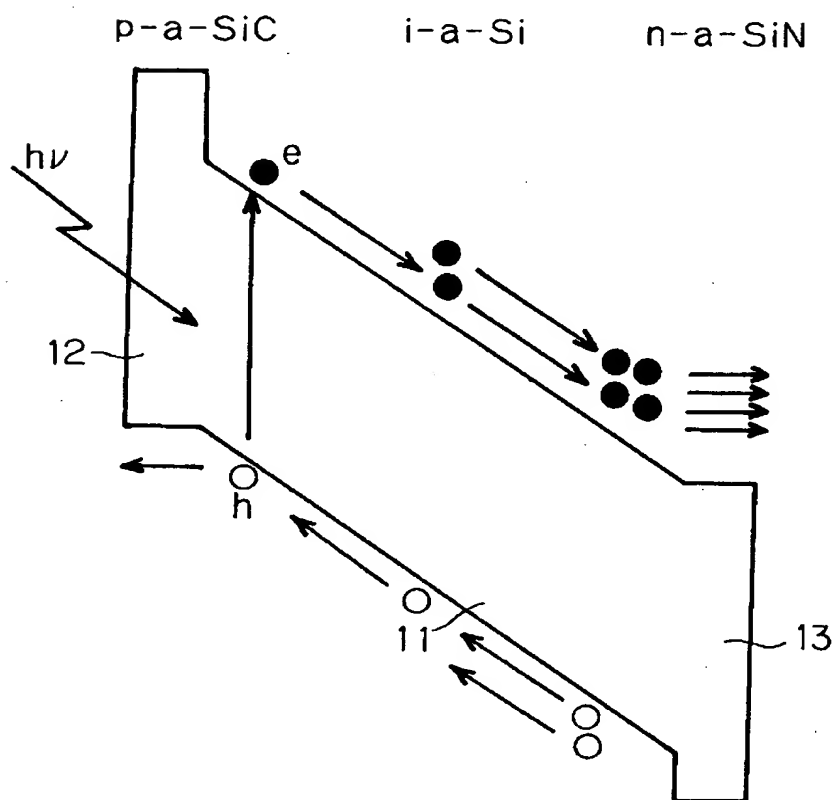
【図 2】



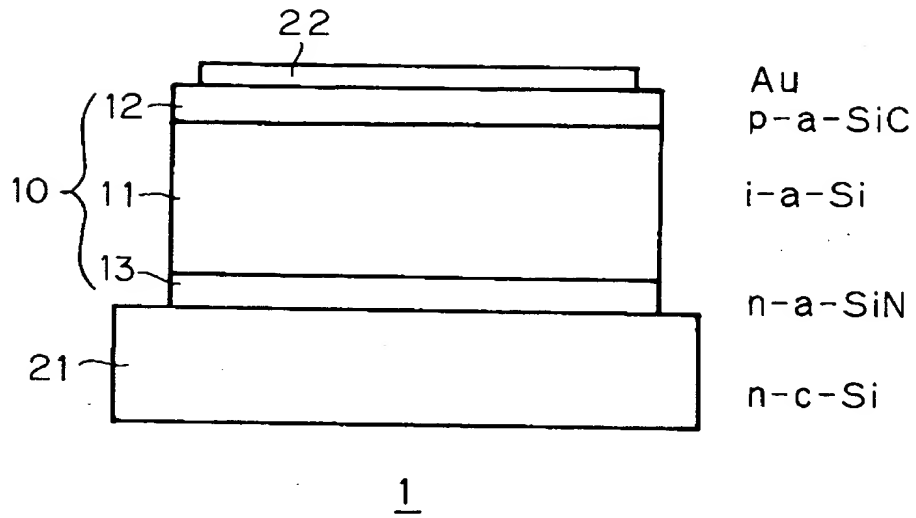
【図 3】



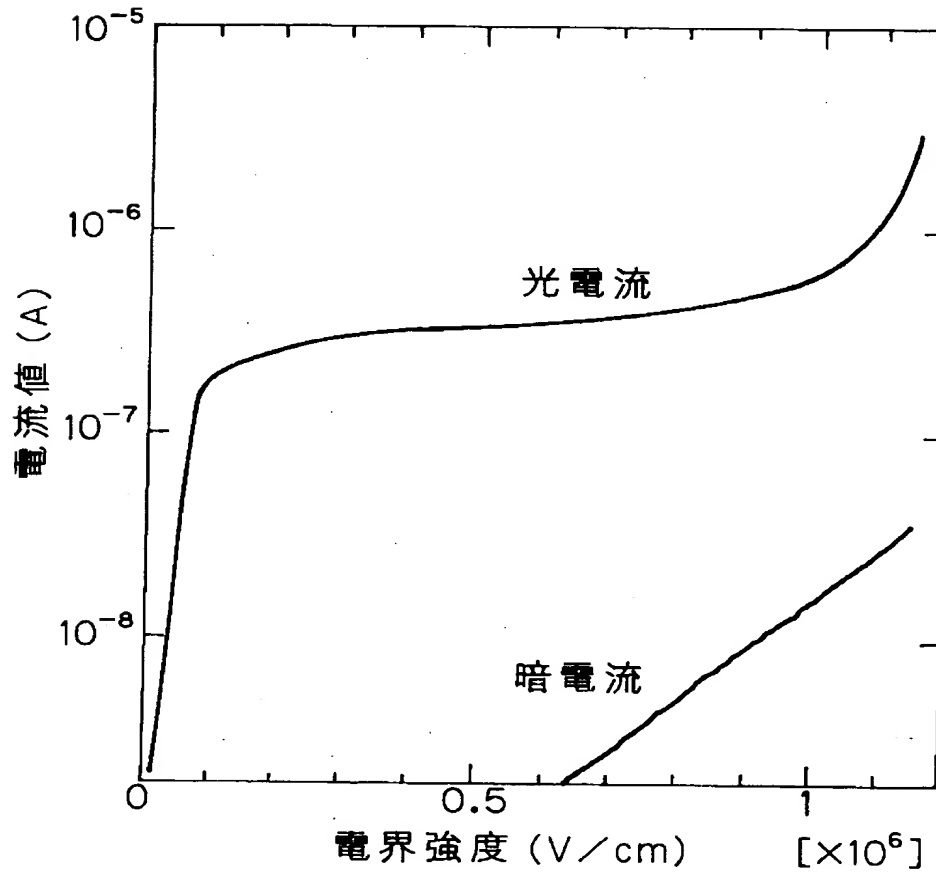
【図 4】



【図 5】

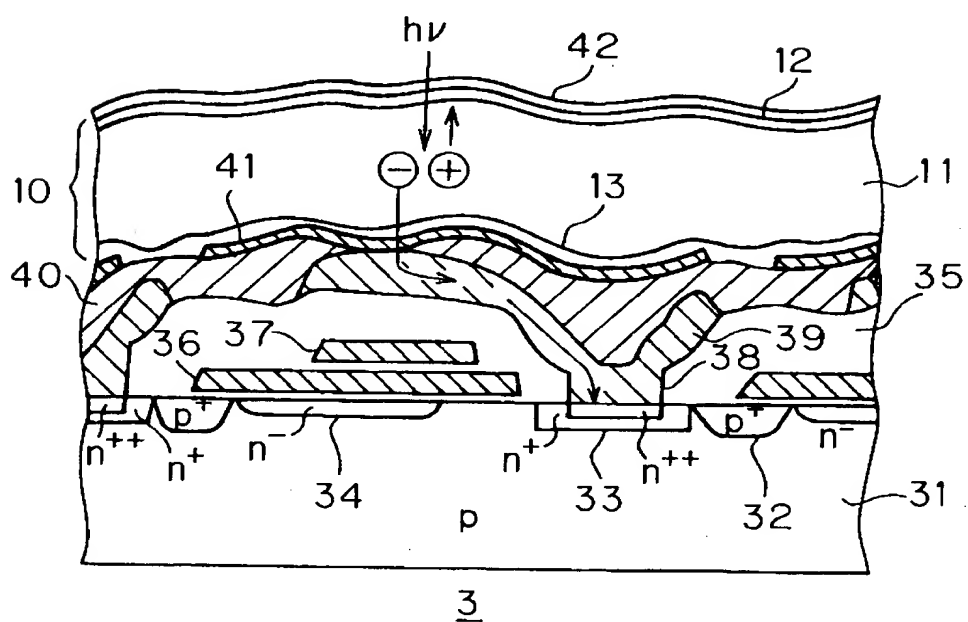


【図 6】

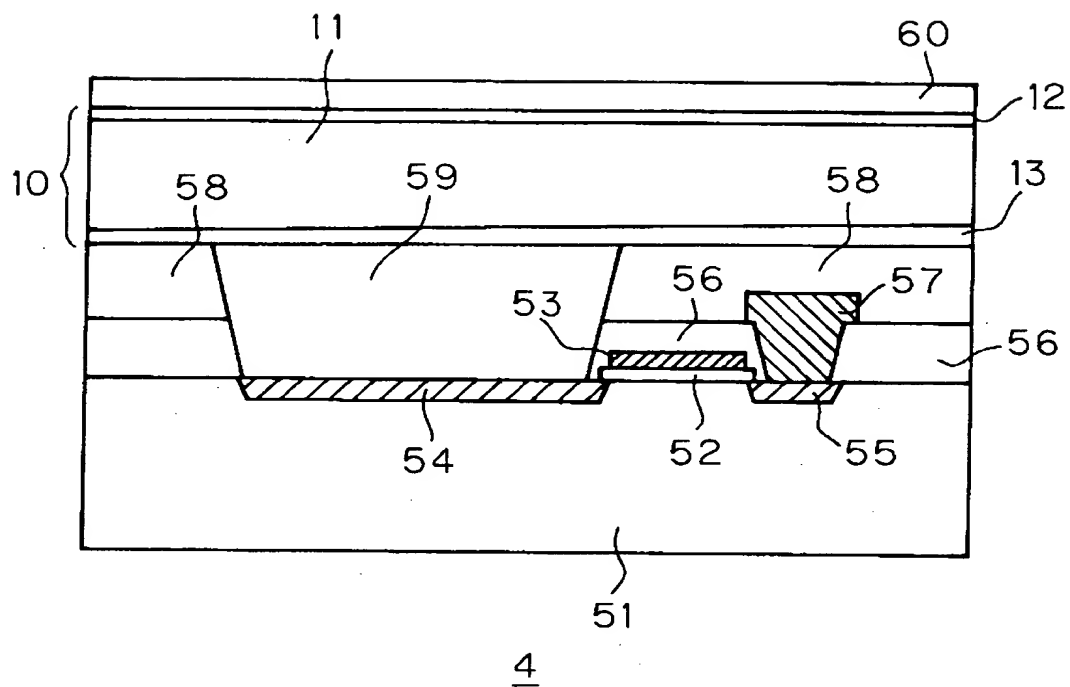




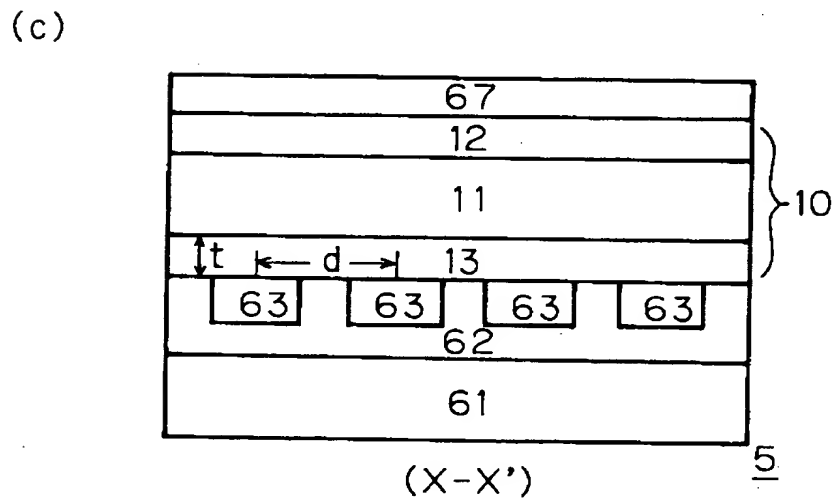
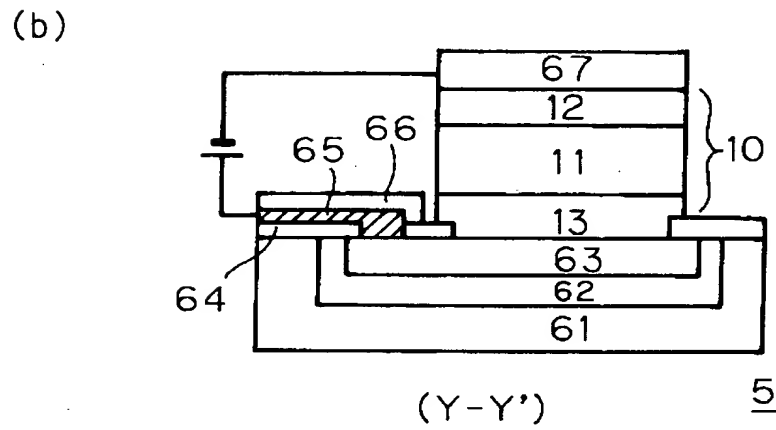
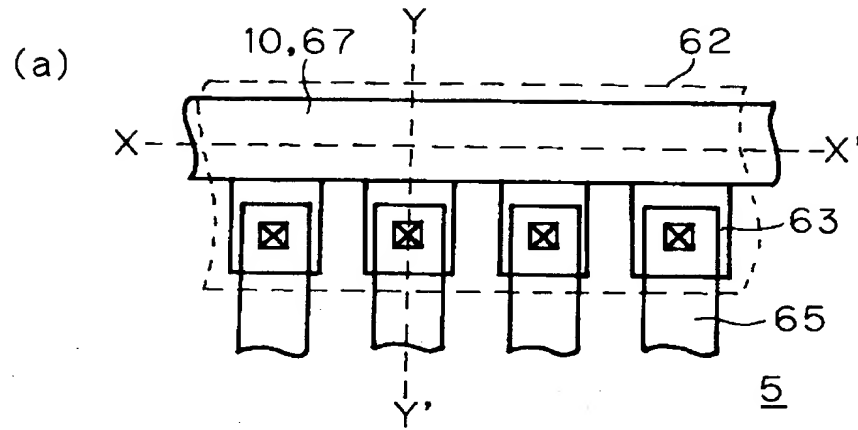
【圖 8】



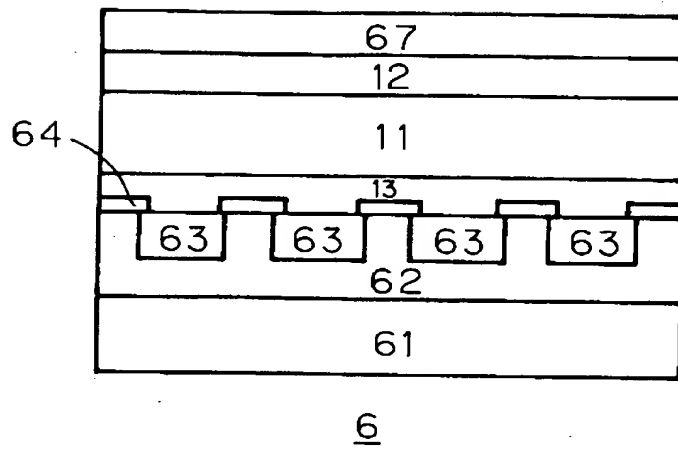
【图 9】



【図 1 0】

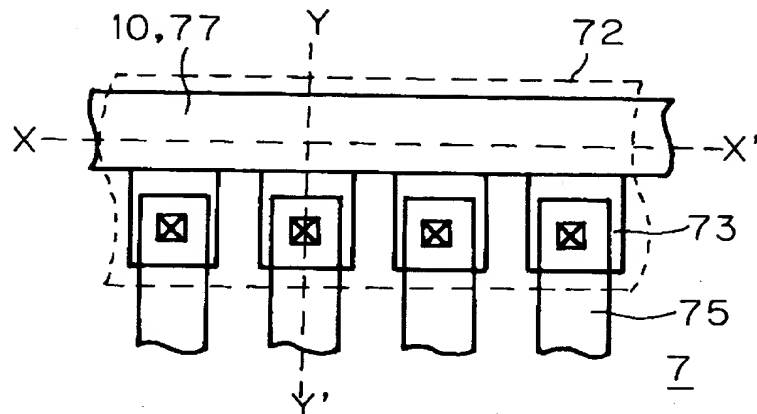


【図 1 1】

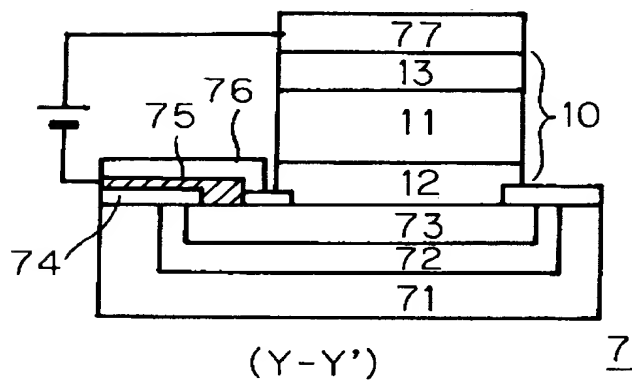


【図 12】

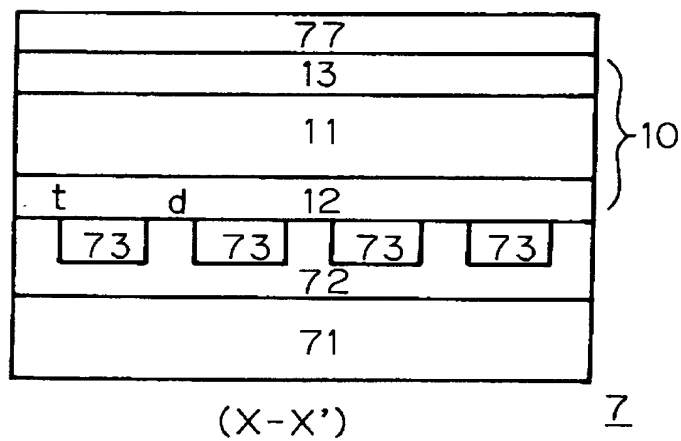
(a)



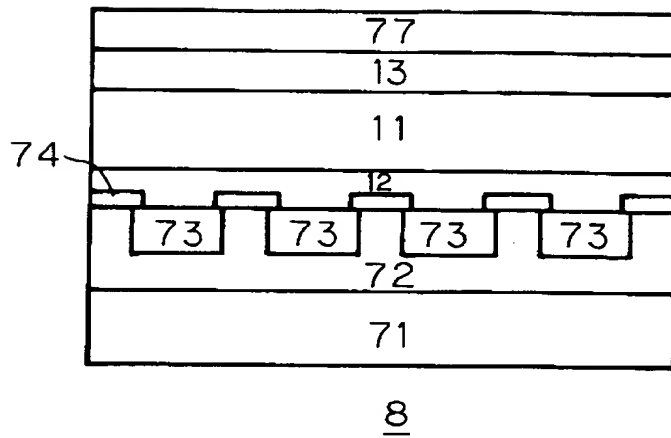
(b)



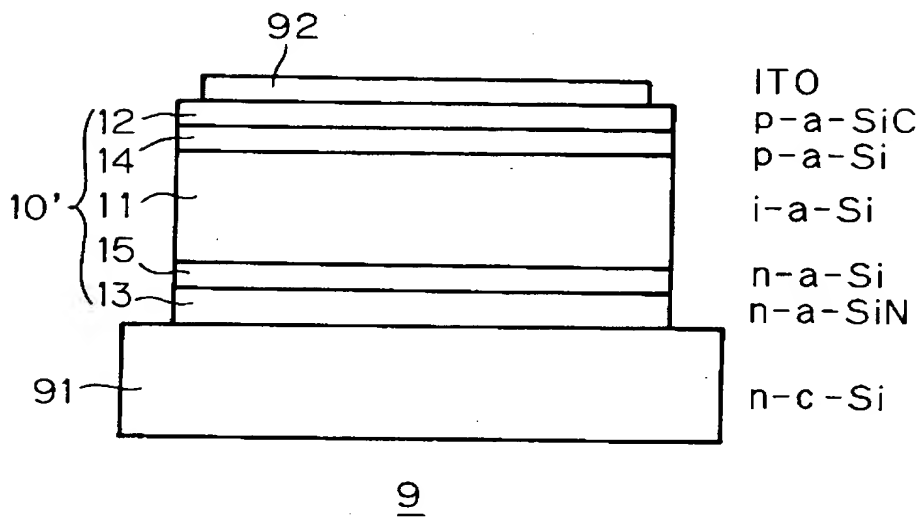
(c)



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 キャリア増倍機能を有しながら暗電流の少ない光電変換素子を提供する。

【解決手段】 非晶質シリコンより成り、キャリアを生成しかつ増倍する機能を有するキャリア生成増倍層を、p型非晶質シリコンカーバイドの電子注入阻止層と、n型非晶質シリコンナイトライドの正孔注入阻止層とで挟む。電子注入阻止層は、価電子帯のエネルギーレベルがキャリア生成増倍層と同じになるように、組成比C/Siを1.5以下に設定し、正孔注入阻止層は、伝導帯のエネルギーレベルがキャリア生成増倍層と同じになるように、組成比N/Siを0.8以下に設定する。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名 ミノルタ株式会社